

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Offenlegungsschrift
⑯ DE 101 33 688 A 1

⑯ Int. Cl.⁷:
H 01 L 21/8242

⑯ DE 101 33 688 A 1

⑯ Aktenzeichen: 101 33 688.8
⑯ Anmeldetag: 11. 7. 2001
⑯ Offenlegungstag: 26. 9. 2002

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑯ Anmelder:
Infineon Technologies AG, 81669 München, DE

⑯ Vertreter:
Epping, Hermann & Fischer, 80339 München

⑯ Erfinder:
Goldbach, Matthias, Dr., 01099 Dresden, DE; Birner, Albert, Dr., 01129 Dresden, DE; Franosch, Martin, 81739 München, DE

⑯ Entgegenhaltungen:
US 56 35 419
US 48 74 484
EP 09 03 782 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

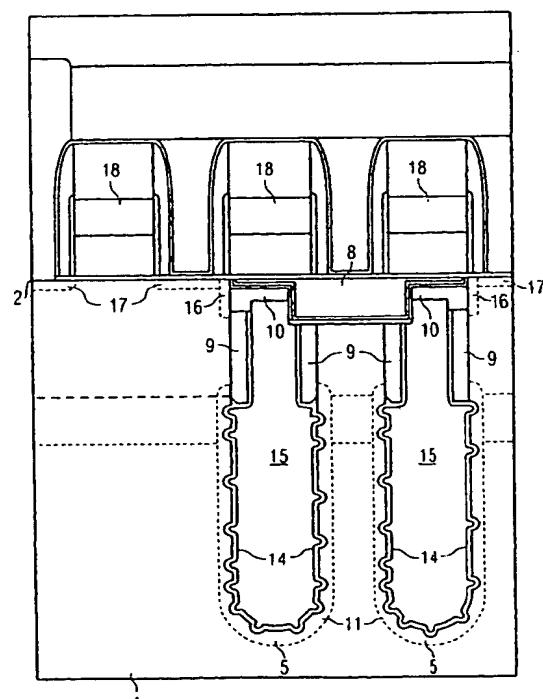
Der Inhalt dieser Schrift weicht von den am Anmeldetag eingereichten Unterlagen ab

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Verfahren zur Herstellung der unteren Kondensatorelektrode eines Grabenkondensators

⑯ Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung der unteren Kondensatorelektrode eines Grabenkondensators zur Verwendung in einer DRAM-Speicherzelle, bei dem die Kondensatoroberfläche und damit die Kondensatorkapazität durch Mesoporen vergrößert wird.

Dabei werden die Mesoporen (20) nach der Bildung des Grabens (5) in den n-dotierten Grabenbereich durch elektrochemisches Ätzen gebildet. Gemäß der vorliegenden Erfindung können beliebig dotierte Substrate sowie SOI(silicon-on-insulator)-Substrate verwendet werden.



BEST AVAILABLE COPY

DE 101 33 688 A 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung der unteren Kondensatorelektrode eines Grabenkondensators zur Verwendung in einer dynamischen Speicherzelle, bei dem die Kondensatoroberfläche und damit die Kondensatorkapazität durch Mesoporen vergrößert wird.

[0002] In Speicherzellenanordnungen mit wahlfreien Zugriff werden fast ausschließlich sogenannte Eintransistor-Speicherzellen eingesetzt. Eine Eintransistor-Speicherzelle umfaßt einen Auslesetransistor und einen Speicherkondensator. In dem Speicherkondensator ist die Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, 0 oder 1, darstellt. Durch Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden. Zur sicheren Speicherung der Ladung und gleichzeitigen Unterscheidbarkeit der ausgelesenen Information muß der Speicherkondensator eine Mindestkapazität aufweisen. Die untere Grenze für die Kapazität des Speicherkondensators wird derzeit bei 25 fF gesehen. Solche Speicherzellen werden als dynamische Speicherzellen bezeichnet, da der Ladungsinhalt der Speicherzelle wegen Leckströmen abgebaut wird. Die Ladung muß daher wiederaufgefrischt werden.

[0003] Da von Speichergeneration zu Speichergeneration die Speicherdichte zunimmt, muß die benötigte Fläche der Eintransistor-Speicherzelle von Generation zu Generation reduziert werden. Gleichzeitig muß die Mindestkapazität des Speicherkondensators erhalten bleiben.

[0004] Bis zur 1 Mbit-Generation wurden sowohl der Auslesetransistor als auch der Speicherkondensator als planare Bauelemente realisiert. Ab der 4 Mbit-Speichergeneration wurde eine weitere Flächenreduzierung der Speicherzelle durch eine dreidimensionale Anordnung von Auslesetransistor und Speicherkondensator erzielt. Eine Möglichkeit besteht darin, den Speicherkondensator in einem Graben zu realisieren (siehe z. B. K. Yamada et al., Proc. Intern. Electronic Devices and Materials IEDM 85, S. 702 ff). Als Elektroden des Speicherkondensators wirken in diesem Fall ein an die Wand des Grabens angrenzendes Diffusionsgebiet sowie eine dotierte Polysiliziumfüllung, die sich im Graben befindet. Die Elektroden des Speicherkondensators sind somit entlang der Oberfläche des Grabens angeordnet. Dadurch wird die effektive Fläche des Speicherkondensators, von der die Kapazität abhängt, gegenüber dem Platzbedarf für den Speicherkondensator an der Oberfläche des Substrats, der dem Querschnitt des Grabens entspricht, vergrößert. Durch Reduktion des Querschnitts des Grabens läßt sich die Packungsdichte weiter erhöhen. Der Vergrößerung der Tiefe des Grabens sind dabei aus technologischen Gründen jedoch Grenzen gesetzt.

[0005] Die effektive Fläche des Speicherkondensators und damit die Kondensatorkapazität kann durch oberflächenvergrößernde Maßnahmen wie beispielsweise Ätzen von Mesoporen oder das HSG-Verfahren (Aufrauhung der Siliziumoberfläche, "hemispherical graining") vergrößert werden, ohne daß dessen Platzbedarf dadurch erhöht wird.

[0006] In der US-Patentschrift US-6,025,225 wird die anodische Ätzung von Mesoporen als oberflächenvergrößernde Maßnahme bei der Herstellung von Grabenkondensatoren in DRAM-Speicherzellen vorgeschlagen. Dabei werden die Mesoporen anodisch in p-dotiertes Silizium bzw. in n-dotiertes Silizium nur unter Lichteinwirkung geätzt. Des weiteren schließen in dieser Patentschrift konkrete Angaben zur Integration der Ätzung von Mesoporen in den Prozeßablauf.

[0007] In V. Lehmann et al.: "Materials Science and Engi-

neering", B69-70 (2000), S. 11-22, wird überdies die elektrochemische Mesoporenbildung in n-dotiertem Silizium ohne Lichteinstrahlung beschrieben. Allerdings fehlen auch hier genaue Angaben zur Integration der Ätzung von Mesoporen in den Prozeßablauf zur Herstellung einer DRAM-Speicherzelle.

[0008] Der vorliegenden Erfindung liegt somit die Aufgabe zugrunde, ein Verfahren anzugeben, mit dem die Ätzung von Mesoporen als oberflächenvergrößernde Maßnahme für den Grabenkondensator prozeßtechnisch möglichst einfach in den gegenwärtig verwendeten Prozeßablauf integriert wird.

[0009] Gemäß der vorliegenden Erfindung wird die Aufgabe durch ein Verfahren zur Herstellung der unteren Kondensatorelektrode eines Grabenkondensators zur Verwendung in einer dynamischen Speicherzelle mit den Schritten zum Bereitstellen eines Halbleiter-Substrats mit einem Graben in einer ersten Hauptfläche des Substrats und einem flächigen ohmschen Kontakt auf der von der ersten Hauptfläche abgewandten Seite des Grabens, wobei an den Graben ein Bereich mit einer für eine elektrochemische Mesoporenbildung geeigneten Dotierung angrenzt und ein Bereich, in dem keine Mesoporen zu bilden sind, durch mindestens eine Isolationsschicht von dem ohmschen Kontakt elektrisch isoliert ist oder/und mit einer Isolationsschicht bedeckt ist, zum Bereitstellen eines elektrischen Anschlusses an den ohmschen Kontakt, und zum elektrochemischen Ätzen von Mesoporen an einem freiliegenden Oberflächenbereich des Halbleitersubstrats, der mit dem ohmschen Kontakt elektrisch verbunden sind, wobei der ohmsche Kontakt als Anode wirkt, gelöst.

[0010] Die besonderen Vorteile der Erfindung liegen darin, daß Verfahrensschritte angegeben werden, die in Kombination eine prozeßtechnische Integration der Mesoporen-Ätzung ermöglichen und diese besonders einfach machen.

[0011] Insbesondere dadurch, daß gemäß der vorliegenden Erfindung ein Halbleiter-Substrat bereitgestellt wird, bei dem die Bereiche, in denen keine Mesoporen zu bilden sind, durch Isolationsschichten von dem ohmschen Kontakt oder/und der Außenseite des Substrats elektrisch isoliert sind, wird erreicht, daß beim elektrochemischen Ätzen der Mesoporen der Ätzstrom derart geleitet wird, daß die Mesoporen an den vorgesehenen Stellen des Grabens gebildet werden. Die p- oder (schwach) n-dotierten Bereiche werden entweder von dem ohmschen Kontakt auf der Substrat-Rückseite oder/und von dem Elektrolyten elektrisch isoliert, so daß der Strom nicht über die p- oder n-dotierten Bereiche, sondern über die n-dotierten Bereiche fließt und somit die Mesoporen an den n-dotierten Grabenbereichen gebildet werden.

[0012] Das erfindungsgemäße Verfahren umfaßt die folgenden Verfahrensschritte:

a) Bereitstellen eines Halbleiter-Substrats mit einem Graben in einer ersten Hauptfläche des Substrats und einem flächigen, vorzugsweise ganzflächigen ohmschen Kontakt auf der von der ersten Hauptfläche abgewandten Seite des Grabens, wobei an den Graben ein Bereich mit einer geeigneten Dotierung angrenzt und die Bereiche, in denen keine Mesoporen zu bilden sind, durch Isolationsschichten von dem ohmschen Kontakt oder/und der Außenseite des Substrats elektrisch isoliert sind.

[0013] Dieser Schritt kann folgendermaßen realisiert werden

a1) Bereitstellen eines Substrats

[0014] Gemäß der vorliegenden Erfindung kann ein beliebig dotiertes Silizium-Substrat oder ein SOI-Substrat verwendet werden, wobei das SOI-Substrat geeigneterweise aus Schichtstapel aus einem n-dotierten Substrat, einer Isolationsschicht, vorzugsweise einer SiO_2 -Schicht, sowie einer daraufliegenden p-dotierten Siliziumschicht realisiert ist.

a2) Bilden eines ganzflächigen ohmschen Kontakts auf der Rückseite des Substrats

[0015] Durch diesen Schritt wird eine Siliziumelektrode realisiert, durch die ermöglicht wird, mit Hilfe eines Elektrolyt-Vorderseitenkontakte gleichmäßig elektrochemisch zu ätzen. Dazu muß die Rückseitenkontaktierung einen möglichst homogenen Potenzialverlauf über die Waferrückseite sicherstellen. Dieser kann insbesondere durch eine hochleitfähige Schicht auf der Rückseite gewährleistet werden. Die hochleitfähige Schicht kann beispielsweise durch Implantation eines p-Dotierstoffs wie B, Al, In, Ga, Tl mit anschließender Aktivierung, wobei die Implantation direkt an der Oberfläche erfolgt, oder aber, wenn eine zusätzliche Schicht wie beispielsweise ein Pad-Oxid oder ein Pad-Nitrid auf der Oberfläche aufgebracht ist, durch diese hindurch erfolgen.

[0016] Bei der Implantation wird die Ionenenergie vorzugsweise so eingestellt, daß das Konzentrations-Maximum direkt an der Si-Grenzfläche liegt. Die Ionenenergie hängt somit von der Dicke der Pad-Nitridschicht ab. Die Dosis sollte möglichst hoch sein. Übliche Ionendosen betragen mehr als $1 \cdot 10^{15}/\text{cm}^2$.

[0017] Gemäß einem alternativen Verfahren zur Rückseitendotierung wird Borsilikatglas abgeschieden und anschließend ein Temperaturbehandlungsschritt bei einer Temperatur, die typischerweise größer als 700°C ist, durchgeführt, bei dem die Bor-Atome in das Substrat übergehen. Dabei kann das Borsilikatglas entweder in einer Einzelscheibenanlage einseitig oder bei einem Batch-Prozeß beidseitig aufgebracht werden. Bei beidseitiger Auftragung muß die vorderseitige Borsilikatglasschicht nachfolgend entfernt werden.

[0018] Ebenso kann der Rückseitenkontakt durch Aufbringen einer metallischen Schicht realisiert werden. Dabei muß sichergestellt werden, daß der Übergang Metall/Substrat einen ohmschen Kontakt bildet, da sonst dort wieder starke Potenzial-Fluktuationen entstehen. Wird der Rückseitenkontakt durch eine metallische Schicht realisiert, so kann der elektrische Anschluß eine Spannungsquelle, der beispielsweise durch metallische Kontaktspitzen oder durch einen Elektrolytikontakt realisiert wird, lokal beschränkt bleiben. Das heißt, die metallischen Kontaktspitzen können in sehr großem Abstand voneinander an der Rückseite angebracht werden, was den elektrischen Anschluß sehr einfach macht und somit besonders vorteilhaft ist.

[0019] Als Metall für die Bildung der metallischen Schicht ist insbesondere Wolframsilizid vorteilhaft, da in diesem Fall eine Diffusion der Metallatome in die Substratbereiche, in denen später der Transistor zu bilden ist, weitgehend vermieden werden kann.

[0020] In einem darauf folgenden Schritt werden auf der Substratoberfläche die Kondensatorgräben durch bekannte Verfahren geätzt.

a3) Bereitstellen einer Isolationsschicht, um die Bereiche, in denen keine Mesoporen zu bilden sind, von dem ohmschen

Rückseitenkontakt oder/und der Außenseite des Substrats elektrisch zu isolieren.

[0021] Die Realisierung dieses Schritts hängt davon ab, welche Art das verwendete Substrat ist.

[0022] Wenn ein beliebig dotiertes Substrat verwendet wird, in dem durch Dotierung die geeignet dotierten Grabenbereiche erzeugt werden, so werden in diesem Schritt die Bereiche, auf denen keine Mesoporen-Ätzung stattfinden soll, abgedeckt. Diese Abdeckung bewirkt zum einen, daß im nächsten Schritt zum Bereitstellen eines geeignet dotierten Bereichs in dem Graben die Bereiche abgedeckt werden, die beispielsweise nicht entsprechend dotiert werden sollen. Zum anderen bewirkt sie, daß im nachfolgenden Schritt zur Mesoporen-Ätzung die Bereiche, auf denen keine Mesoporen-Ätzung stattfinden soll, elektrisch vom Elektrolyten getrennt sind. Insbesondere ist es hier wichtig, daß der p-dotierte Bereich des Kondensatorgrabens abgedeckt wird, um zu verhindern, daß der Ätzstrom über diesen Bereich fließt, während der Ätzstrom über den n-dotierten Bereich vernachlässigbar klein wird.

[0023] Dies wird vorteilhafterweise durch Abscheiden einer passivierenden Schicht aus beispielsweise SiO_2 oder Si_3N_4 , beispielsweise durch Spacer-Technik, erreicht. Diese elektrische Passivierungsschicht kann eine Opserschicht darstellen, die im Laufe der Prozeßführung wieder entfernt wird. Das abgeschiedene SiO_2 kann aber auch später im Prozeßablauf als Isolationskragen dienen.

[0024] Wird ein geeignet n-dotiertes Substrat verwendet, auf dem nach dem Schritt zur Mesoporen-Ätzung p-dotiertes Silizium durch Wafer-Bonden oder gegebenenfalls Epitaxie aufgebracht wird, so wird durch Aufbringen von beispielsweise einer SiO_2 - oder Si_3N_4 -Schicht die Substratoberfläche geschützt.

[0025] Wird hingegen ein SOI-Substrat mit dem vorstehend beschriebenen Aufbau verwendet, so ist die Isolationsschicht bereits durch die zwischen p- und n-dotiertem Bereich liegende SiO_2 -Schicht realisiert und der hier aufgeführte Schritt kann entfallen.

a4) Bereitstellen eines Bereichs mit einer geeigneten Dotierstoffkonzentration in dem Graben

[0026] Gemäß der vorliegenden Erfindung wird in dem Graben ein Bereich mit einer geeigneten Dotierstoffkonzentration erzeugt. Geeignete Dotierstoffkonzentrationen liegen dabei in einem Bereich zwischen $5 \cdot 10^{16}$ und $1 \cdot 10^{20}/\text{cm}^3$, wobei die geeignete Dotierstoffkonzentration von den jeweils verwendeten Verfahrensparametern zum Ätzen der Mesoporen abhängt. Dieser Bereich ist zur Bildung eines Speicher kondensators vorteilhafterweise n-dotiert. Durch eine geeignete Einstellung der Dotierkonzentration wird der Bereich der Mesoporen-Bildung sowie ihre Größe festgelegt.

[0027] Ist in dem Grabenkondensator ein Isolationskragen zum Abschalten des parasitären vertikalen Transistors, der sich sonst an dieser Stelle in der fertigen Speicherzelle bilden würde, vorgesehen, so muß dieser Kragenbereich aus elektrischen Gründen p-dotiert bleiben.

[0028] Eine Schicht mit der geeigneten Dotierstoffkonzentration in dem Kondensatorgraben kann nun auf verschiedenen Weisen bereitgestellt werden.

[0029] Üblicherweise kann ein beliebig dotiertes Substrat verwendet werden, bei dem in dem Graben an den entsprechenden Stellen, an denen Mesoporen gebildet werden sollen, ein mit dem entsprechenden Dotierstoff versehenes SiO_2 abgeschieden wird. Anschließend wird ein sogenannter drive-in-Schritt durchgeführt, bei dem eine Temperatur-

behandlung stattfindet, durch die die Dotieratome in das Substrat eindiffundieren. In diesem Fall ist eine Abdeckung der Bereiche, die nicht dotiert werden sollen, also insbesondere des Kragenbereichs, durch die unter a3) beschriebene Schutzschicht sinnvoll.

[0030] Ebenso kann der Grabenbereich durch eine Dotierung aus der Gasphase dotiert werden. Dabei muß der Bereich des Isolationskragens durch eine Abdeckschicht geschützt werden, um zu vermeiden, daß der Isolationskragen dotiert wird.

[0031] Alternativ kann auch ein beliebig dotiertes Substrat verwendet werden, in dem der Bereich, in dem die Mesoporen geätzt werden sollen, freigeätzt wird und anschließend Silizium abgeschieden wird, das entweder insitu oder nachfolgend n-dotiert wird.

[0032] Es kann aber auch ein n-dotiertes Substrat verwendet werden, das geeignet für die Mesoporen-Bildung dotiert ist. Auf diescm wird p-dotiertes Silizium in einer geeigneten Dicke, die üblicherweise etwa 1 μm beträgt, beispielsweise epitaktisch aufgebracht. Es ist prinzipiell auch möglich, eine derartige p-dotierte Siliziumschicht nach Durchführung der Mesoporen-Ätzung durch Wafer-Bonding aufzubringen.

[0033] Alternativ kann auch ein hoch n-dotiertes Substrat verwendet werden, das in dem entsprechenden Bereich, in dem Mesoporen geätzt werden sollen, gegendotiert wird.

[0034] Es ist auch möglich, ein SOI-Substrat zu verwenden, bei dem zwischen p- und n-dotiertem Gebiet eine SiO_2 -Schicht vorgesehen ist. Diese Variante ist insbesondere dahingehend vorteilhaft, daß auf den Isolationskragens zum Abschalten eines parasitären Transistors, der sich sonst in der fertigen Speicherzelle an dieser Stelle bilden würde, verzichtet werden kann. Des weiteren bietet ein SOI-Substrat den Vorteil, daß der p-Bereich vom n-Bereich elektrisch getrennt ist, so daß beim elektrochemischen Ätzen der Mesoporen der p-Bereich elektrisch von dem Rückseitenkontakt isoliert ist. Ein weiterer Vorteil ergibt sich, wenn der Rückseitenkontakt als metallische Schicht realisiert wird, da in diesem Fall die SiO_2 -Schicht als Diffusionsbarriere wirkt und verhindert, daß Metallatome die Eigenschaften des Auswahltransistors der Speicherzelle beeinträchtigen.

b) Elektrischer Anschluß der Substratrückseite

[0035] Nach Durchführung von Schritt a) ist in der Regel die hochleitfähige Schicht auf der Substratrückseite von einer oder mehreren isolierenden Schichten bedeckt. Um einen elektrischen Kontakt zwischen der Substratrückseite und einer anschließenden Spannungsquelle zu ermöglichen, muß daher gegebenenfalls die Rückseite beziehungsweise ein Teil der Substratrückseite freigelegt werden.

[0036] Ist der Rückseitenkontakt als metallischer Rückseitenkontakt realisiert, so ist es möglich, mit Kontaktierungsneedeln durch die darüber liegenden isolierenden Schichten zu stoßen, so daß ein elektrischer Kontakt ohne Entfernen der isolierenden Schichten realisiert werden kann.

[0037] Alternativ oder bei Verwendung einer hochdotierten Schicht als hochleitfähiger Schicht ist es aber auch möglich, die isolierenden Schichten teilweise, beispielsweise am Waferrand, naßchemisch zu entfernen.

[0038] Die isolierenden Schichten können aber auch ganzflächig durch naßchemisches oder Trockenätzen entfernt werden. Werden die isolierenden Schichten durch Trockenätzungen entfernt, so muß die Substrat-Vorderseite durch eine Schutzschicht abgedeckt werden. Dies kann beispielsweise durch eine einseitige SiO_2 -Abscheidung oder eine Abdeckung mit Fotolack erfolgen. Die Schutzschicht muß nach Beendigung des Trockenätzprozesses wieder entfernt werden.

c) Elektrochemisches Ätzen von Mesoporen an den freiliegenden Halbleiter-Bereichen, die mit dem ohmschen Kontakt elektrisch verbunden sind, wobei der ohmsche Kontakt als Anode wirkt.

[0039] Dazu wird die Substratrückseite elektrisch leitend mit dem positiven Ausgang einer Spannungsquelle verbunden, während eine ebenfalls mit der Spannungsquelle verbundene Kathode in den Elektrolyten plaziert wird, welcher mit der Substratoberfläche in Kontakt steht. Diese Gegen-elektrode befindet sich in einem Elektrolyten, welcher mit der zu ätzenden Wafer-Oberfläche in direktem Kontakt steht. Die Gegenelektrode kann dabei als Festkörper, beispielsweise eine Platin-elektrode, in der Flüssigkeit realisiert sein.

[0040] Der Elektrolyt kann beispielsweise eine 0,5%ige bis 6%ige wäßrige Flüsssäure oder eine Mischung, die Tetramethylammoniumhydroxid und Flüsssäure enthält, sein.

[0041] Gemäß der vorliegenden Erfindung werden die Mesoporen vorzugsweise in einem n-dotierten Gebiet elektrochemisch geätzt.

[0042] Zur Mesoporen-Bildung in n-dotiertem Silizium werden im Prinzip sehr ähnliche Parameter wie bei der Mesoporen-Bildung in p-dotiertem Silizium verwendet, wobei

bei Verwendung eines Substrats mit p- und n-dotierten Bereichen darauf zu achten ist, daß die p-dotierten Bereiche entweder durch Aufbringen eines Abdeckmaterials oder durch andere geeignete Maßnahmen elektrisch von dem Elektrolyten oder dem Rückseitenkontakt isoliert sind. Bei der Verwendung eines SOI-Substrats wird dies beispielsweise dadurch erreicht, daß p- und n-dotierte Bereiche durch die Oxidschicht elektrisch voneinander isoliert sind.

[0043] Das Verfahren zum elektrochemischen Ätzen von Mesoporen in n-dotiertem Silizium ist detailliert in V. Lehmann et al., Materials Science and Engineering B69-70 (2000) S. 11 bis 22 beschrieben.

[0044] Durch Einschalten der Spannungsquelle wird eine Spannung zwischen Substrat-Vorder- und Rückseite bewirkt, welche einen Ätzstrom hervorruft. Genauer gesagt, werden die Elektronen zur Substrat-Rückseite gesaugt. Durch die gleichzeitige Anwesenheit des Elektrolyten werden an der Substratvorderseite vereinzelt Silizium-Atome herausgelöst, wodurch letztendlich die Ätzung von Mesoporen bewirkt wird.

[0045] Bei Verwendung einer maßgeschneiderten Ätzchemie, die beispielsweise auf Tetramethylammoniumhydroxid und Flüsssäure oder demgegenüber alternativ nur auf Flüsssäure basiert, kann der Mesoporen-Zieldurchmesser geeignet eingestellt werden, so daß man Mesoporen mit einem gewünschten Durchmesser erhält.

d) Schutz der Rückseite

[0046] Gegebenenfalls kann es an dieser Stelle sinnvoll sein, die Rückseite wieder zu passivieren, um eine mögliche Kontamination in nachfolgenden Prozessen zu vermeiden.

[0047] Eine derartige Passivierung ist nicht notwendig, wenn sich in der weiteren Prozeßfolge bereits eine ausreichende Passivierung der Substratrückseite bildet, oder, wenn in Schritt d) die isolierenden Schichten gar nicht oder nur partiell entfernt wurden und sich durch die nur partielle Öffnung keine Kontaminationsgefahr ergibt.

[0048] Wurde in Schritt a2) die hochleitfähige Schicht als eine hoch p-dotierte Schicht realisiert, so kann die Passivierung durch eine rückseitige, beispielsweise eine naß-chemische, Ätzung dieser Schicht bewirkt werden.

[0049] Alternativ kann durch einen Schritt zur Oxidation und eine anschließende Oxidätzung, die nur an der Substrat-

vorderseite durchgeführt wird, eine Oxidschicht gebildet werden, die als Barriere ausreicht, um nachfolgende Prozesse nicht mehr zu gefährden.

[0050] Als weitere Alternative kann in einem Batch-Prozeß SiO_2 vorder- und rückseitig abgeschieden werden, welches dann vorderseitig durch naßchemisches oder trockenchemisches Ätzen wieder entfernt wird.

e) Aufweiten der Mesoporen

[0051] Wurden in Schritt c) die Mesoporen nicht mit einem gewünschten Durchmesser geätzt, so kann es sinnvoll sein, an dieser Stelle die Mesoporen auf den gewünschten Durchmesser aufzuweiten. Es ist zu bemerken, daß Schritt e) auch vor Schritt d) ausgeführt werden kann.

[0052] Der gewünschte Durchmesser ergibt sich dabei aus der Notwendigkeit, daß in den Mesoporen zusätzlich die dielektrische Schicht sowie die Gegenelektrode für den Kondensator abgeschieden werden müssen. Das heißt, Porendurchmesser von 12 bis 30 nm sind anzustreben, während bei üblichen Porenätzverfahren lediglich Porendurchmesser von 5 bis 10 nm erzielt werden.

[0053] Das Aufweiten der Mesoporen kann beispielsweise durch naßchemisches, isotropes oder anisotropes Ätzen erfolgen. Dabei muß allerdings auf die Ätzraten der Schutzschicht für den Kragenbereich geachtet werden. Dieses Problem ist vor allem bei flußsäurehaltigen Ätzchemikalien relevant. Bei basischem Elektrolyt wird eine passivierende Schicht aus beispielsweise SiO_2 oder Si_3N_4 im Kragenbereich nur vernachlässigbar angegriffen, weshalb die Verwendung eines basischen Ätzmittels besonders vorteilhaft ist. Eine anschließende Verrundung von Ecken durch Oxidation und anschließendem Eintauchen in Flußsäure ist möglich, um die Leckstromdichte zu verringern.

[0054] Alternativ ist es auch möglich, die Poren zu oxidieren und einen anschließenden Schritt zum Oxid-Ätzen durchzuführen, wodurch die Poren ebenfalls geweitet werden. Durch diesen Schritt wird eine Verrundung der Oberflächen gewährleistet. Die Oxidation kann dabei trocken, naß oder elektrochemisch erfolgen. Die elektrochemische Oxidation ist insbesondere dahingehend vorteilhaft, daß nur an genau den Bereichen, an denen vorher elektrochemisch geätzt wurde, eine Oxidschicht gebildet wird. Insbesondere wird hier ein alkalisches Ätzmittel, insbesondere NH_4OH verwendet.

f) Nachdotieren des Siliziums im Bereich der Mesoporen zur Bildung der buried plate

[0055] Gegebenenfalls kann an dieser Stelle noch ein Schritt zum Nachdotieren des Silizium-Substrats, um eine hinreichende elektrische Leitfähigkeit der buried plate (vergrabene Platte) zu erreichen und eine Verringerung der Verarmungszone der unteren Kondensatorelektrode zu erreichen, notwendig sein.

[0056] Die Nachdotierung kann durch Abscheidung von SiO_2 , welchem ein geeigneter Dotierstoff beigefügt ist, an den entsprechenden Stellen und einen darauffolgenden drive-in-Schritt, bei dem die Dotieratome in das Substrat eindiffundieren, erfolgen.

[0057] Alternativ kann eine Gasphasen-Dotierung durchgeführt werden. Dabei ist es wichtig, daß der Kragenbereich des Kondensatorgrabens durch eine Schutzschicht geschützt ist, um eine Dotierung des Grabenbereichs zu vermeiden. Gemäß der beschriebenen Schrittafolge ist die in Schritt a3) abgeschiedene Schutzschicht noch nicht entfernt worden, so daß auch in diesem Schritt ein ausreichender Schutz des Grabenbereichs gewährleistet ist. Bei stark inhomoge-

nem Dotierprofil dient gegebenenfalls ein anschließender drive-in-Schritt zur Diffusion der Dotieratome und zur Glättung.

[0058] Wurde, wie in Schritt a4) beschrieben, ein hoch n-dotiertes Substrat verwendet und in dem Grabenbereich anschließend n-dotiertes Silizium mit einer geeigneten Dotierstoffkonzentration abgeschieden, in welches darauffolgend die Mesoporen geätzt wurden, so ist eine Rückdiffusion aus dem hoch n-dotierten Substrat in die Porenwände möglich.

[0059] Diese Rückdiffusion ist notwendig, um eine Verkleinerung der Verarmungszone an der unteren Kondensatorelektrode sicherzustellen.

[0059] Es ist aber auch als weitere Alternative möglich, die untere Kondensatorelektrode als metallische Elektrode, beispielsweise aus einem Metallsilizid wie Wolframsilizid, zu realisieren. Dazu kann insbesondere nach Bildung und Aufweitung der Mesoporen entweder eine metallische Verbindung wie beispielsweise Metallsilizid durch ein CVD-Verfahren abgeschieden und geeignet strukturiert werden. Es ist aber auch möglich, die freiliegenden Siliziumbereiche, auf denen kein Metallsilizid gebildet werden soll, entsprechend abzudecken und Metallsilizid durch selbstjustierte Verfahren wie beispielsweise selbstjustierte Abscheidung von Metallsilizid aus der Gasphase auf den freiliegenden Siliziumbereichen oder Abscheiden eines Metalls, Durchführen einer Temperaturbehandlung und Entfernen des nicht zu Metallsilizid umgesetzten Metalls zu erzeugen. Wird die untere Kondensatorelektrode als metallische Elektrode realisiert, so kann auf die Nachdotierung des Substrats zur Bildung der buried plate verzichtet werden.

g) Beseitigen der Schutzschicht von den ausgewählten Bereichen

[0060] An dieser Stelle wird die in Schritt a3) aufgebrachte Schutzschicht zum Schutz der p-dotierten Bereiche wieder durch bekannte Verfahren entfernt, sofern sie nicht in der fertigen Speicherzelle als Isolationskragen wirkt.

[0061] Die vorliegende Erfindung wird im folgenden unter Bezugnahme auf die begleitenden Zeichnungen näher erläutert:

[0062] Fig. 1 bis Fig. 8 zeigen die Schritte zur Herstellung des Grabenkondensators einer Speicherzelle gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

[0063] Fig. 9 zeigt den Aufbau einer durch das erfundungsgemäß Verfahren hergestellten Speicherzelle;

[0064] Fig. 10 zeigt das Layout in einer 8F^2 -Zellarchitektur; und

[0065] Fig. 11 bis Fig. 13 zeigen die Schritte zur Herstellung des Grabenkondensators einer Speicherzelle gemäß einer zweiten Ausführungsform der vorliegenden Erfindung.

[0066] Bei dem beschriebenen ersten Ausführungsbeispiel wird ein p-dotiertes Siliziumsubstrat verwendet, bei dem die n-dotierten Grabenbereiche durch Abscheiden einer mit Arsen dotierten SiO_2 -Schicht und Ausdiffundieren der Dotieratome erzeugt werden.

[0067] Fig. 1A zeigt ein p-dotiertes Siliziumsubstrat 1 mit einer ersten Hauptfläche 2 (Vorderseite) und einer zweiten Hauptfläche 12 (Rückseite). Das Siliziumsubstrat 1 ist beid-

seitig mit einer 8 nm dicken SiO_2 -Schicht 3, einer 220 nm dicken Si_3N_4 -Schicht 4 beschichtet. Des Weiteren ist eine 600 nm dicke BSG-Schicht 13 einseitig aufgebracht. Diese BSG-Schicht 13 dient dazu, die Vorderseite vor Verunreinigungen und Kratzern bei den nachfolgenden Prozeßschritten zu schützen.

[0068] Fig. 1B zeigt den Schichtaufbau auf der Rückseite 12 des Substrats 1.

[0069] Zunächst wird Schritt a2) zur Bildung eines ganz-

flächigen ohmschen Kontakt 22 auf der Rückseite 12 des Substrats 1 durchgeführt. Bei dem beschriebenen Ausführungsbeispiel erfolgt dies durch eine Rückseitendotierung mit Implantation durch die Pad-Nitridschicht 4 und die Pad-Oxidschicht 3 hindurch. Dabei wird mit Bor-Ionen in einer Dosis von $1 \cdot 10^{16}/\text{cm}^2$, einer Energie von 80 bis 160 keV, vorzugsweise 120 keV und einem Implantationswinkel von 0° implantiert, wie in Fig. 1A durch die Pfeile schematisch veranschaulicht. Nachfolgend wird durch einseitiges Ätzen die BSG-Schicht 13 von der Vorderseite des Substrats entfernt.

[0070] Sodann wird der Kondensatorgraben erzeugt. Zunächst wird eine neue BSG-Schicht (nicht gezeigt) als Hartmaskenmaterial in einer Dicke von etwa 1000 nm aufgebracht. Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden die BSG-Schicht, die Si_3N_4 -Schicht 4 und die SiO_2 -Schicht 3 in einem Plasma-Ätzprozeß mit CF_4/CHF_3 strukturiert, so daß eine Hartmaske gebildet wird. Nach Entfernung der photolithographisch erzeugten Maske werden unter Verwendung der Hartmaske als Ätzmaske in einem weiteren Plasma-Ätzprozeß mit HBr/NF_3 Gräben 5 in die erste Hauptfläche 1 geätzt. Anschließend wird die BSG-Schicht beispielsweise durch Naßätzen mit $\text{H}_2\text{SO}_4/\text{HF}$ wieder entfernt.

[0071] Die Gräben 5 weisen beispielsweise eine Tiefe von 5 µm, eine Weite von 100×250 nm und einen gegenseitigen Abstand von 100 nm auf.

[0072] Nachfolgend wird durch ein LPCVD-Verfahren eine etwa 25 nm dicke SiO_2 -Schicht 6 abgeschieden. Dazu wird zunächst eine etwa 15 nm dicke SiO_2 -Schicht, die mit Arsen dotiert ist (Arsenglas), und eine 10 nm dicke SiO_2 -Schicht aus TEOS als Abdeckschicht gebildet. Die abgeschiedene SiO_2 -Schicht 6 bedeckt mindestens die Wände der Gräben 5. Der sich ergebende Schichtaufbau ist in den Fig. 2A und 2B veranschaulicht, wobei Fig. 2A einen Querschnitt durch die Oberfläche 2 des Substrats 1 zeigt und Fig. 2B den Schichtaufbau auf der Rückseite 12 des Substrats veranschaulicht.

[0073] Durch Abscheidung einer 300 nm dicken Polysiliziumschicht, chemisch-mechanisches Polieren bis zur Oberfläche der SiO_2 -Schicht 6 und Zurückätzen der Polysiliziumschicht mit SF_6 wird in den Gräben 5 jeweils eine Polysiliziumfüllung 7 erzeugt, deren Oberfläche etwa 1200 bis 1400 nm unterhalb der Oberfläche des Schichtstapels angeordnet ist. Das chemischmechanische Polieren kann dabei gegebenenfalls entfallen.

[0074] Darauf folgend wird die SiO_2 -Schicht 6 auf den Wänden der Gräben 5 isotrop geätzt, so daß die Oberfläche der SiO_2 -Schicht 6 etwa 1500 nm unterhalb der ersten Hauptfläche 2 angeordnet ist. Die Oberfläche der SiO_2 -Schicht 6 muß, wie in Fig. 3A, welche einen Querschnitt durch die Oberfläche 2 des Substrats 1 zeigt, zu sehen ist, unter der Oberfläche der Poly-Siliziumfüllung liegen, da mit der Höhe der Oberfläche der SiO_2 -Schicht 6 der Bereich für die Dotierung festgelegt wird, in der dann später die Mesoporen geätzt werden. Fig. 3B veranschaulicht den sich ergebenden Schichtaufbau auf der Rückseite 12 des Substrats.

[0075] Anschließend wird in einem LPCVD-Verfahren eine etwa 35 nm dicke Schutzschicht 19 aus Si_3N_4 abgeschieden. Diese Schutzschicht 19 dient als passivierende Schutzschicht zum Schutz des p-dotierten Kragenbereichs, wie in Fig. 4A, die einen Querschnitt durch die Oberfläche 2 des Substrats 1 zeigt, zu sehen ist. Die SiO_2 -Schicht 6, die Poly-Siliziumschicht 7 und die Schutzschicht 9 werden auch auf der Substratrückseite 12 abgeschieden, wie in Fig. 4B, die den sich ergebenden Schichtaufbau auf der Rückseite 12 des Substrats veranschaulicht, gezeigt ist.

[0076] Als nächstes erfolgt ein Temperaturbehandlungs-

schritt, beispielsweise bei 900 bis 1100°C, vorzugsweise 1000°C ein sogenannter Drive-in-Schritt, um die Dotieratome einzutreiben. Dabei wird einerseits der Bereich des Grabens, in dem Mesoporen gebildet werden sollen, dotiert.

5 Andererseits werden die in die Substratrückseite diffundierten Dotieratome aktiviert.

[0077] Mit SF_6 wird nachfolgend Polysilizium selektiv zu Si_3N_4 und SiO_2 geätzt. Dabei wird die Polysiliziumfüllung 7 jeweils vollständig aus dem Graben 5 entfernt. Durch eine 10 Atzung mit $\text{NH}_4\text{F}/\text{HF}$ wird der nunmehr freiliegende Teil der SiO_2 -Schicht 6 entfernt, wie in Fig. 5A, die einen Querschnitt durch die Oberfläche 2 des Substrats 1 zeigt, zu sehen ist. Fig. 5B veranschaulicht den sich ergebenden Schichtaufbau auf der Rückseite 12 des Substrats.

[0078] Anschließend werden die SiO_2 -Schicht 3, die Si_3N_4 -Schicht 4, die SiO_2 -Schicht 6, die Polysiliziumschicht 7 und die Si_3N_4 -Schicht 9 von der Rückseite durch einseitiges Ätzen unter Verwendung allgemein verwendeter Chemikalien naßchemisch entfernt. Fig. 6B veranschaulicht den sich ergebenden Schichtaufbau auf der Rückseite 12 des Substrats.

[0079] Anschließend erfolgt der unter c) beschriebene Schritt zum elektrolytischen Ätzen von Mesoporen an den freiliegenden Halbleiter-Bereichen, die nicht mit der Schutzschicht bedeckt sind, wobei der ohmsche Kontakt 22 auf der Rückseite des Substrats als Anode wirkt. Vorzugsweise wird eine 3%ige wässrige Flußsäure verwendet. Dies ist in Fig. 6A, die einen Querschnitt durch die Oberfläche 2 des Substrats 1 zeigt, veranschaulicht. Fig. 6C veranschaulicht schematisch die Vorrichtung zum elektrochemischen Ätzen der Mesoporen. Eine Spannungsquelle 24 ist über den elektrischen Anschluß 23 mit dem ohmschen Rückseitenkontakt 22 elektrisch leitend verbunden. Eine mit der Spannungsquelle 24 verbundene Kathode 25 ist in dem Elektrolyten 26 angeordnet.

[0080] Darauf folgend wird von der Substratrückseite ungefähr 1 µm Silizium entfernt, so daß, wie unter d) beschrieben, die hoch B-dotierte Siliziumschicht entfernt wird und

40 die ohmsche Kontaktsschicht 22 beseitigt wird. Danach werden, wie unter e) beschrieben, die Mesoporen aufgeweitet, was durch einen modifizierten sogenannten Wet-Bottle-Prozeß, bei dem Silizium anisotrop unter Verwendung alkalischer Ätzmittel wie beispielsweise NH_4OH geätzt wird, oder durch Oxidation und anschließendes Oxid-Ätzen erreicht wird.

[0081] Anschließend erfolgt die Nachdotierung des Silizium-Substrats, wie unter f) beschrieben. Dies kann beispielsweise durch eine Gasphasendotierung oder durch die 50 Abscheidung einer SiO_2 -Schicht 21, die eine SiO_2 -Schicht, die mit Arsen dotiert ist (Arsenglas), sowie eine Schicht, die aus TEOS gewonnen wurde, umfaßt, erfolgen. Die Gesamtdicke der SiO_2 -Schicht beträgt 25 nm. Danach wird ein Temperaturbehandlungsschritt durchgeführt, entweder, um das Dotierprofil zu glätten (bei Gasphasendotierung), oder, um die Dotieratome in das Silizium-Substrat einzutreiben. Wurde eine SiO_2 -Schicht 21 abgeschieden, so wird diese in einem darauf folgenden Schritt wieder von der Substratoberfläche 2 entfernt. In Fig. 7A, die einen Querschnitt 55 durch die Oberfläche 2 des Substrats 1 zeigt, bezeichnet Bezugsszeichen 11 das durch die Nachdotierung erzeugte n^+ -dotierte Gebiet. Fig. 7B veranschaulicht den Schichtaufbau auf der Rückseite 12 des Substrats.

[0082] Nachfolgend wird als Kondensatordielektrikum eine 5 nm dicke dielektrische Schicht 14 abgeschieden, die SiO_2 und Si_3N_4 sowie gegebenenfalls Siliziumoxynitrid enthält. Diese Schichtabfolge kann durch Schritte zur Nitridabscheidung und zur thermischen Oxidation, bei der Defekte

in der darunterliegenden Schicht ausgeheilt werden, realisiert werden. Alternativ enthält die dielektrische Schicht 14 Al_2O_3 (Aluminimumoxid), TiO_2 (Titandioxid), Ta_2O_5 (Tantaloxid). Anschließend wird eine 300 nm dicke in-situ dotierte Polysiliziumschicht 15 abgeschieden. Durch chemisch-mechanisches Polieren wird die Polysiliziumschicht 15 bis auf die Oberfläche der Si_3N_4 -Schicht 4 entfernt und anschließend durch Ätzen mit SF_6 auf 1300 nm unterhalb der Oberfläche Si_3N_4 -Schicht 4 zurückgeätzt.

[0083] Anschließend wird die Schutzschicht 19 entfernt. Der sich ergebende Aufbau ist in den Fig. 8A und 8B gezeigt, wobei Fig. 8A einen Querschnitt durch die Oberfläche 2 des Substrats 1 zeigt und Fig. 8B den Schichtaufbau auf der Rückseite 12 des Substrats veranschaulicht.

[0084] Danach wird eine Spacerschicht 9, die in der fertigen Speicherzelle als Isolationskragen wirkt, abgeschieden. Dazu wird beispielsweise eine 20 bis 50 nm dicke SiO_2 -Schicht konform abgeschieden und anschließend anisotrop geätzt, so daß der Isolationskragen lediglich auf den Gräbenwänden verbleibt.

[0085] Darauf folgend wird der standardmäßige DRAM-Prozeß durchgeführt, durch den die obere Kondensatorelektrode geeignet strukturiert und an das Source-/Drain-Gebiet eines Auswahltransistors angeschlossen wird.

[0086] Dies kann beispielsweise durch Abscheiden einer n^+ -dotierten Polysilizium-Schicht geschehen, die darauf folgend zur Vorbereitung der buried-Kontakte auf etwa 100 nm unterhalb der Oberfläche des vorliegenden Schichtstapels zurückgeätzt wird. Sodann wird die SiO_2 -Schicht im oberen Bereich geätzt, um die Buried-Kontaktflächen freizulegen. Nach einer Sacrificial oxidation zur Bildung eines Streuoxids (nicht dargestellt) wird eine Implantation durchgeführt, bei der ein n^+ -dotiertes Gebiet 16 in der Seitenwand jedes Gräbens 5 im Bereich der Hauptfläche 2 gebildet wird. Wie in Fig. 9 gezeigt ist, wird oberhalb der Polysiliziumfüllung 15 verbliebener Freiraum in dem jeweiligen Graben 5 durch Abscheidung von insitudoziertem Polysilizium und Rückätzten des Polysiliziums mit SF_6 mit einer Polysiliziumfüllung 10 aufgefüllt. Die Polysiliziumfüllung 15 wirkt im fertigen Speicherkondensator als obere Kondensatorelektrode. Die Polysiliziumfüllung 10 wirkt als Anschlußstruktur zwischen dem n^+ -dotierten Gebiet 16 und der als obere Kondensatorelektrode wirkenden Polysiliziumfüllung 15.

[0087] Nachfolgend werden Isolationsstrukturen 8 erzeugt, die die aktiven Gebiete umgeben und damit definieren. Dazu wird eine Maske gebildet, die die aktiven Gebiete definiert (nicht dargestellt). Durch nicht-selektives Plasma-Ätzen von Silizium, SiO_2 und Polysilizium mit Hilfe von $\text{CHF}_3/\text{N}_2/\text{NF}_3$, wobei die Ätzdauer so eingestellt wird, daß 200 nm Polysilizium geätzt werden, durch Entfernen der dabei verwendeten Lackmaske mit O_2/N_2 , durch naßchemisches Ätzen von 3 nm dielektrischer Schicht, durch Oxidation und Abscheidung einer 5 nm dicken Si_3N_4 -Schicht und durch Abscheidung einer 250 nm dicken SiO_2 -Schicht in einem TEOS-Verfahren und anschließendes chemisch-mechanisches Polieren werden die Isolationsstrukturen 8 fertiggestellt. Durch Ätzen in heißer H_3PO_4 wird nachfolgend die Si_3N_4 -Schicht 4 und durch Ätzen in verdünnter Flußsäure die SiO_2 -Schicht 3 entfernt.

[0088] Durch eine Sacrificial oxidation wird nachfolgend ein Streuoxid gebildet. Es werden photolithographisch erzeugte Masken und Implantationen eingesetzt zur Bildung von n -dotierten Wannen, p -dotierten Wannen und zur Durchführung von Einsatzspannungsimplantationen im Bereich der Peripherie und der Auswahltransistoren des Zellfelds. Ferner wird eine hochenergetische Ionenimplantation zur Dotierung des Substratbereichs, welcher von der Hauptfläche 2 abgewandt ist, durchgeführt. Dadurch wird

ein n^+ -dotiertes Gebiet, das benachbarte untere Kondensatorelektroden miteinander verbindet, gebildet (sogenannter "buried-well implant").

[0089] Nachfolgend wird durch allgemein bekannte Verfahrensschritte der Transistor fertiggestellt, indem jeweils das Gateoxid sowie die Gate-Elektroden 18, entsprechende Leiterbahnen, und die Source- und Drain-Elektrode 17 definiert werden.

[0090] Der beispielhafte Aufbau der Speicherzelle ist in Fig. 9 gezeigt.

[0091] Danach wird die Speicherzelle in bekannter Weise durch die Bildung weiterer Verdrahtungsebenen fertiggestellt.

[0092] Die Speicherzellenanordnung, deren Layout für eine 8-F²-Zellarchitektur beispielhaft in Fig. 10 dargestellt ist, weist je Speicherzelle einen in einem der Gräben 5 angeordneten Speicherkondensator und einen planaren Auswahltransistor auf. Pro Speicherzelle ist ein Platzbedarf von 8F² erforderlich, wobei F die kleinste herstellbare Strukturgröße in der jeweiligen Technologie ist. Die Bitleitungen BL verlaufen streifenförmig und parallel zueinander, wobei die Breite der Bitleitung BL jeweils F und ihr gegenseitiger Abstand ebenfalls F beträgt. Senkrecht dazu verlaufen die Wortleitungen WL, die ebenfalls eine Breite von F und einen gegenseitigen Abstand von F aufweisen. Unterhalb der Bitleitungen BL sind aktive Gebiete A angeordnet, wobei oberhalb jedes aktiven Gebietes zwei Wortleitungen WL kreuzen. Die aktiven Gebiete A sind unterhalb benachbarter Bitleitungen BL jeweils versetzt gegeneinander angeordnet.

[0093] In der Mitte der aktiven Gebiete A ist ein Bitleitungskontakt BLK angeordnet, der eine elektrische Verbindung zwischen der jeweiligen Bitleitung BL und dem aktiven Gebiet A ermöglicht. Die Gräben 5 sind unterhalb der Wortleitung WL angeordnet. Innerhalb der aktiven Gebiete ist am Kreuzungspunkt zwischen einer der Bitleitungen BL und einer der Wortleitungen WL jeweils die Gateelektrode 26 des zugehörigen Auswahltransistor angeordnet.

[0094] Die aktiven Gebiete A erstrecken sich jeweils zwischen zwei Gräben 5. Sie umfassen zwei Auswahltransistoren, die über einen gemeinsamen Bitleitungskontakt BLK mit der zugehörigen Bitleitung BL verbunden sind. Je nach dem, welche der Wortleitungen WL angesteuert wird, wird die Information aus dem Speicherkondensator, der in einem oder dem anderen der Gräben 5 angeordnet ist, ausgelesen.

[0095] Gemäß einem zweiten, in den Fig. 11 ff. dargestellten Ausführungsbeispiel wird, wie in Fig. 11 dargestellt, ein SOI-Substrat 41, das heißt, ein Siliziumsubstrat mit einer vergrabenem SiO_2 -Schicht 46 verwendet (SOI: Silicon on insulator). Dabei umfaßt das SOI-Substrat 41 einen Stapel aus einem ca. 500 μm dicken n -dotierten Siliziumbereich 48, einer etwa 200 nm dicken SiO_2 -Schicht 46 und einer ca. 100 nm dicken aktiven p -dotierten Siliziumschicht 47. Bezugssymbole 42 und 64 bezeichnen jeweils eine erste Hauptfläche (Vorderseite) und zweite Hauptfläche (Rückseite) des Substrats.

[0096] Das Siliziumsubstrat 41 ist beidseitig mit einer 8 nm dicken SiO_2 -Schicht 43 und einer 220 nm dicken Si_3N_4 -Schicht 44 beschichtet. Des weiteren ist eine 600 nm dicke BSG-Schicht (nicht gezeigt) einseitig aufgebracht. Diese BSG-Schicht dient dazu, die Vorderseite vor Verunreinigungen und Kratzern bei den nachfolgenden Prozeßschritten zu schützen. Alternativ kann zum Schutz der Vorderseite auch eine Photolackschicht aufgebracht werden.

[0097] Sodann wird die Si_3N_4 -Schicht durch einseitiges Ätzen von der Substrat-Rückseite 64 wieder entfernt. Gegenüberliegend kann an dieser Stelle die Substrat-Rückseite 64 zur Verbesserung des ohmschen Kontakts 49 p -dotiert werden. Anschließend wird eine Metallschicht 45 durch all-

gemein verwendete Verfahren aufgebracht. Beispielsweise kann als Metallschicht eine Wolframsilizidschicht aufgebracht werden, die insbesondere dahingehend vorteilhaft ist, daß, da in diesem Fall auch die vergrabene SiO_2 -Schicht 46 als Diffusionsbarriere wirkt, keine Metallatome in den Bereich des zu bildenden Transistors diffundieren. Anschließend wird die Schicht zum Schutz der Substrat-Vorderseite 42 wieder entfernt, beispielsweise durch kurzes Eintauchen in HF, oder, wenn ein Photolack als Schutzschicht verwendet wurde, durch kurzzeitiges Trockenätzen mit O_2 .

[0097] Anschließend wird auf die Substratvorderseite 42 eine BSG-Schicht 60 in einer Dicke von 1000 nm, eine Si_3N_4 -Schicht 61 in einer Dicke von 200 nm und eine SiO_2 -Schicht 62 in einer Dicke von 200 nm jeweils als Hartmaskenmaterial abgeschieden. Ferner wird eine Polysiliziumschicht 63 als Hartmaskenmaterial abgeschieden. Mit Hilfe einer photolithographisch strukturierten Maske (nicht dargestellt), die die Anordnung der Speicherkondensatoren definiert, werden durch Plasma-Ätzen die Polysiliziumschicht 63, die SiO_2 -Schicht 62, die Siliziumnitridschicht 61, die BSG-Schicht 60, die Nitridschicht 44 und die SiO_2 -Schicht 43 geätzt. (Siehe Fig. 11)

[0098] Sodann werden die aktive Si -Schicht 47 durch Plasma-Ätzen mit HBr/NF_3 und die vergrabene Oxidschicht 46 durch Plasma-Ätzen mit CHF_3/O_2 geätzt. Bei dieser Ätzung wirkt die Si_3N_4 -Schicht 61 als Hartmaske. Die Parameter dieses Ätzschritts sind derart bemessen, daß die Gräben nur bis zum unteren Ende der vergrabenen Oxidschicht 46 geätzt werden.

[0099] Sodann werden die Kondensatorgräben 45 bis zu einer Tiefe von 5 μm durch Plasma-Ätzen mit HBr/NF_3 geätzt, wie in Fig. 12 veranschaulicht ist.

[0100] Anschließend wird die BSG-Hartmaskenschicht 60 und die auf der Substratrückseite 64 abgeschiedene Polysiliziumschicht sowie die Schichten 44 und 43 entfernt.

[0101] Als nächstes erfolgt der unter c) beschriebene Schritt zum elektrolytischen Ätzen von Mesoporen in dem Graben an dem n-dotierten Bereich 48, wobei der ohmsche Kontakt auf der Rückseite des Substrats als Anode wirkt. Vorzugsweise wird eine 3%ige wäßrige Flußsäure verwendet. Da die aktive, d. h. die in späteren Herstellungsschritten mit Transistoren versehene Schicht 47 durch die SiO_2 -Schicht 46 elektrisch von dem Rückseitenkontakt getrennt ist, fließt der Ätzstrom über den n-dotierten Bereich, und die Mesoporen werden ausschließlich in dem n-dotierten Grabenbereich 48 geätzt.

[0102] Gegebenenfalls wird an dieser Stelle des Prozeßablaufs die metallische Schicht von der Substratrückseite entfernt. Wird als Metall Wolframsilizid verwendet, so kann dieses jedoch auch auf der Substratrückseite verbleiben, da einerseits der aktive Bereich 47 durch die SiO_2 -Schicht 46 vor diffundierenden Metallatomen geschützt ist, andererseits bei Wolframsilizid eine derartige Diffusion kein ernsthaftes Problem darstellt.

[0103] Danach werden, wie unter e) beschrieben, die Mesoporen aufgeweitet, was durch einen modifizierten sogenannten Wet-Bottle-Prozeß, bei dem Silizium anisotrop unter Verwendung alkalischer Ätzmittel wie beispielsweise NH_4OH geätzt wird, oder durch Oxidation und anschließendes Oxid-Ätzen erreicht wird.

[0104] Optional erfolgt an dieser Stelle die Nachdotierung des Silizium-Substrats, wie unter f) beschrieben, falls die n-Dotierung des n-dotierten Bereichs 48 nicht ausreichend ist.

[0105] Genauer gesagt, kann der vorstehend beschriebene Schritt zur elektrochemischen Ätzung von Mesoporen auf einem hoch n-dotierten Bereich 48 oder auf einem weniger hoch n-dotierten Bereich 48 durchgeführt werden. Wurde die Mesoporen-Ätzung auf einem weniger hoch n-dotierten

Bereich durchgeführt, so muß an dieser Stelle noch eine Nachdotierung des Substrats zur Bildung der buried plate erfolgen.

[0106] Dies kann beispielsweise durch die ganzflächige Abscheidung einer mit Arsen dotierten SiO_2 -Schicht (Arsenglas) erfolgen. Sodann wird ein Photolack aufgebracht, der daraufhin derart wieder entfernt wird, daß lediglich das Arsenglas in den Gräben von Lack bedeckt bleibt. Anschließend wird das Arsenglas an den freiliegenden Bereichen, d. h. allen Bereichen außer dem unteren Bereich der Kondensatorgräben entfernt, der Photolack wird entfernt, und als Ergebnis verbleibt lediglich die Arsenglasschicht im unteren Grabenbereich, d. h. an den Stellen unterhalb der SiO_2 -Schicht 46. Sodann wird eine TEOS- SiO_2 -Schicht ganzflächig abgeschieden. Danach wird ein drive-in-Schritt bei etwa 900 bis 1100°C, vorzugsweise 1000°C zum Eintragen der Arsen-Atome in das n-dotierte Substrat 48 durchgeführt, und das n-dotierte Gebiet 58 entsteht.

[0107] Anschließend werden die SiO_2 -Schichten wieder von der Substratoberfläche 42 entfernt.

[0108] Nachfolgend wird als Kondensatordielektrikum eine 5 nm dicke dielektrische Schicht 51 abgeschieden, die SiO_2 und Si_3N_4 sowie gegebenenfalls Siliziumoxynitrid enthält. Alternativ enthält die dielektrische Schicht 51 Al_2O_3 (Aluminiumoxid), TiO_2 (Titandioxid), Ta_2O_5 (Tantaloxid). Anschließend wird eine 200 nm dicke in-situ dotierte Polysiliziumschicht 52 abgeschieden. Durch chemisch-mechanisches Polieren wird die Polysiliziumschicht 52 bis auf die Oberfläche der Si_3N_4 -Schicht 44 entfernt.

[0109] Darauf folgend wird der standardmäßige DRAM-Prozeß durchgeführt, durch den die obere Kondensatorelektrode geeignet strukturiert und an die Source- oder Drain-Elektrode 56 eines Auswahltransistors angeschlossen wird. Zur Funktion der beschriebenen Speicherzellenvariante auf einem SOI-Substrat ist es wichtig, daß dieser Auswahltransistor derart realisiert ist, daß sogenannte floating-body-Effekte weitgehend unterdrückt werden können.

[0110] Beispielsweise kann als nächstes ein Schritt zum Ätzen der Polysiliziumfüllung 52 auf etwa 100 nm unterhalb der Hauptfläche 42 erfolgen. Es folgt eine Si_3N_4 -Ätzung mit $\text{HF}/\text{Ethylenglycol}$, bei der 10 nm Si_3N_4 geätzt werden und eine Ätzung mit $\text{NH}_4\text{F}/\text{HF}$, mit der SiO_2 und dielektrisches Material geätzt werden. Nach einer Sacrificial oxidation zur Bildung eines Streuoxids (nicht dargestellt) wird eine Implantation durchgeführt, bei der ein n⁺-dotiertes Gebiet 53 in der Seitenwand jedes Grabens 45 im Bereich der Hauptfläche 42 gebildet wird. Wie in Fig. 13 gezeigt ist, wird oberhalb der Polysiliziumfüllung 52 verbliebener Freiraum in dem jeweiligen Graben 45 durch Abscheidung von insitudoziertem Polysilizium und Rückätzen des Polysiliziums mit SF_6 mit einer Polysiliziumfüllung 54 aufgefüllt.

[0111] Die Polysiliziumfüllung 52 wirkt im fertigen Speicherkondensator als obere Kondensatorelektrode. Die Polysiliziumfüllung 54 wirkt als Anschlußstruktur zwischen dem n⁺-dotierten Gebiet 53 und der als obere Kondensatorelektrode wirkenden Polysiliziumfüllung 52.

[0112] Nachfolgend werden Isolationsstrukturen 55 erzeugt, die die aktiven Gebiete umgeben und damit definiert. Dazu wird eine Maske gebildet, die die aktiven Gebiete definiert (nicht dargestellt). Durch nicht-selektives Plasma-Ätzen von Silizium, SiO_2 und Polysilizium mit Hilfe von $\text{CHF}_3/\text{N}_2/\text{NF}_3$, wobei die Ätzdauer so eingestellt wird, daß 200 nm Polysilizium geätzt werden, durch Entfernen der dabei verwendeten Lackmaske mit O_2/N_2 , durch naßchemisches Ätzen von 3 nm dielektrischer Schicht, durch Oxidation und Abscheidung einer 5 nm dicken SiO_2 -Schicht und durch Abscheidung einer 250 nm dicken SiO_2 -Schicht in einem TEOS-Verfahren und anschließendes chemischmecha-

nisches Polieren werden die Isolationsstrukturen 55 fertiggestellt. Durch Ätzen in heißer H_3PO_4 wird nachfolgend die Si_3N_4 -Schicht 44 und durch Ätzen in verdünnter Flußsäure die SiO_2 -Schicht 43 entfernt.

[0113] Durch eine *Sacrificial oxidation* wird nachfolgend ein Streuoxid gebildet. Es werden photolithographisch erzeugte Masken und Implantationen eingesetzt zur Bildung von n-dotierten Wannen, p-dotierten Wannen und zur Durchführung von Einsatzspannungsimplantationen im Bereich der Peripherie und der Auswahltransistoren des Zellenfelds. Ferner wird eine hochenergetische Ionenimplantation zur Dotierung des Substratbereichs, welcher von der Hauptfläche 42 abgewandt ist, durchgeführt. Dadurch wird ein n⁺-dotiertes Gebiet, das benachbarte untere Kondensatorelektroden 48 miteinander verbindet, gebildet. 5

[0114] Nachfolgend wird durch allgemein bekannte Verfahrensschritte der Transistor fertiggestellt, indem jeweils das Gateoxid sowie die Gate-Elektroden 57, entsprechende Leiterbahnen, und die Source- und Drain-Elektrode 56 definiert werden. 20

[0115] Danach wird die Speicherzelle in bekannter Weise durch die Bildung weiterer Verdrahtungsebenen fertiggestellt.

Patentansprüche 25

1. Verfahren zur Herstellung der unteren Kondensatorelektrode eines Grabenkondensators zur Verwendung in einer dynamischen Speicherzelle mit den Schritten

- Bereitstellen eines Halbleiter-Substrats (1, 41) mit einem Graben (5, 45) in einer ersten Hauptfläche (2, 42) des Substrats und einem flächigen ohmschen Kontakt (22, 49) auf der von der ersten Hauptfläche abgewandten Seite des Grabens (5, 45), wobei an den Graben ein Bereich mit einer 30 für eine elektrochemische Mesoporenätzung geeigneten Dotierung angrenzt und ein Bereich, in dem keine Mesoporen (20, 59) zu bilden sind, durch mindestens eine Isolationsschicht von dem ohmschen Kontakt elektrisch isoliert ist oder/und mit einer Isolationsschicht bedeckt ist;
- Bereitstellen eines elektrischen Anschlusses (23) an den ohmschen Kontakt (49);
- elektrochemisches Ätzen von Mesoporen (20, 59) an einem freiliegenden Oberflächenbereich 45 des Halbleitersubstrats, der mit dem ohmschen Kontakt elektrisch verbunden ist, wobei der ohmsche Kontakt (22) als Anode wirkt.

2. Verfahren nach Anspruch 1, bei dem der Bereich mit der für die elektrochemische Mesoporenätzung geeigneten Dotierstoffkonzentration n-dotiertes Silizium ist. 50

3. Verfahren nach Anspruch 2, bei dem der Schritt zum Bereitstellen des Substrats die Schritte umfaßt:

- Bereitstellen eines SOI-Substrats (41), welches 55 ein n-dotiertes Silizium-Substrat (48) und eine p-dotierte Siliziumschicht (47), die voneinander durch eine Isolationsschicht (46) getrennt sind, umfaßt.
- Bereitstellen des ohmschen Kontakts (49) und 60
- Ätzen des Kondensatorgrabens (45) durch die p-dotierte Siliziumschicht (47) und die SiO_2 -Schicht (46) in das n-dotierte Substrat (48) hinein.

4. Verfahren nach Anspruch 2, bei dem der Schritt zum Bereitstellen des Substrats die Schritte umfaßt: 65

- Bereitstellen eines dotierten Silizium-Substrats (1);
- Bereitstellen des ohmschen Kontakts (22),

– Ätzen des Kondensatorgrabens (5) in das Substrat,

– Aufbringen einer Schutzschicht (19) auf den Bereichen der Grabenoberfläche, auf denen keine Mesoporen (20) zu bilden sind, und

– Bereitstellen des Bereichs mit der für die elektrochemische Mesoporenätzung geeigneten Dotierung in den Teilen des Grabens, die nicht mit der Schutzschicht (19) bedeckt sind, und das Verfahren ferner den Schritt umfaßt:

– Entfernen der Schutzschicht (19) von den ausgewählten Bereichen nach dem Schritt zum elektrochemischen Ätzen der Mesoporen (20).

5. Verfahren nach Anspruch 2, bei dem der Schritt zum Bereitstellen des Substrats die Schritte umfaßt:

- Bereitstellen eines n-dotierten Substrats,
- Bereitstellen des ohmschen Kontakts, und
- Ätzen des Kondensatorgrabens und das Verfahren ferner den Schritt umfaßt:

– Aufbringen eines p-dotierten Bereichs auf der ersten Hauptfläche des Substrats nach dem elektrochemischen Ätzen der Mesoporen.

6. Verfahren nach Anspruch 2, bei dem der Schritt zum Bereitstellen des Substrats die Schritte umfaßt:

- Bereitstellen eines n-dotierten Substrats,
- Bereitstellen des ohmschen Kontakts,
- Aufbringen eines p-dotierten Bereichs auf der ersten Hauptfläche des Substrats, und
- Ätzen des Kondensatorgrabens.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der ohmsche Kontakt (22, 49) als Rückseitenkontakt auf der Rückseite (12, 64) des Substrats ausgebildet wird.

8. Verfahren nach einem der vorhergehenden Ansprüche, ferner mit dem Schritt zum Aufweiten der Mesoporen (20, 59) auf einen vorbestimmten Durchmesser nach dem Schritt zum Ätzen der Mesoporen.

9. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Schutzschicht (19) eine passivierende SiO_2 - oder Si_3N_4 -Schicht ist.

10. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Mesoporen mit einem Ätznittel, das mindestens einen der Stoffe Tetramethylammoniumhydroxid (TMAH) und Flußsäure enthält, geätzt werden.

11. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der ganzflächige ohmsche Kontakt (49) durch Aufbringen einer metallischen Schicht gebildet wird.

Hierzu 9 Seite(n) Zeichnungen

FIG 1A

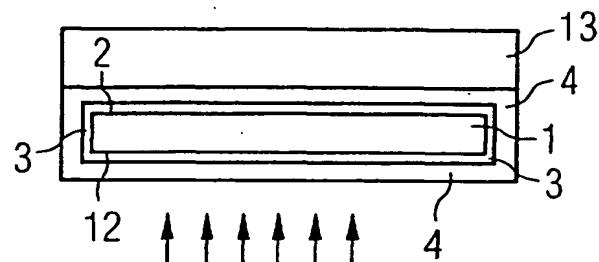


FIG 1B

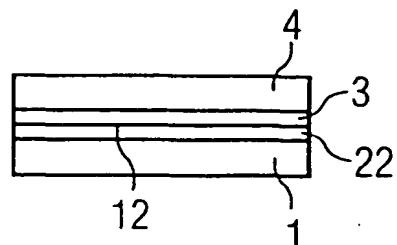


FIG 2A

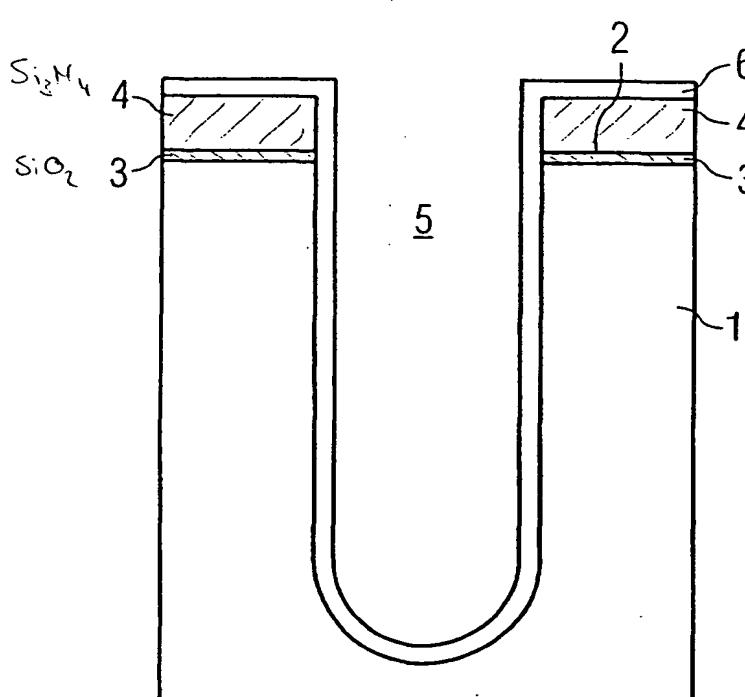


FIG 2B

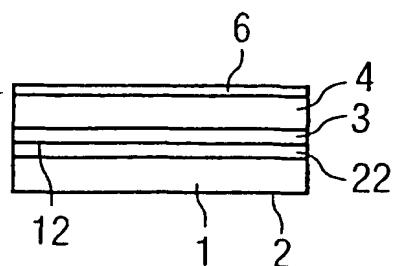


FIG 3A

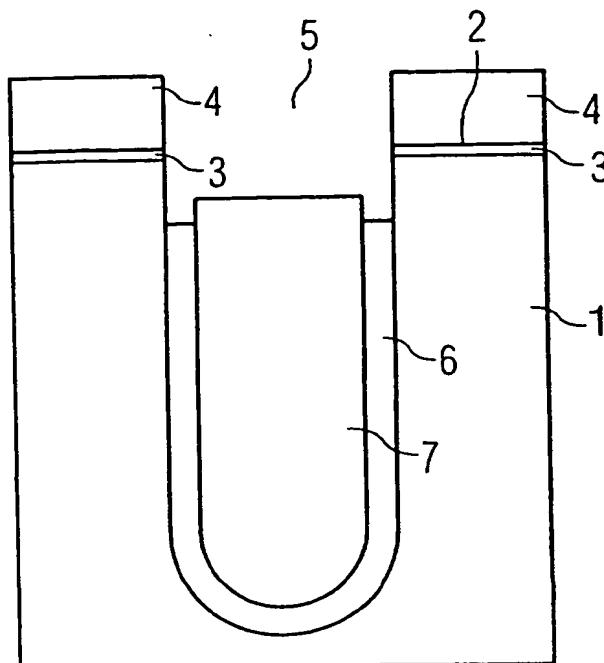


FIG 3B

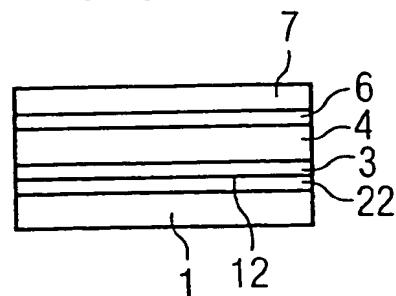


FIG 4A

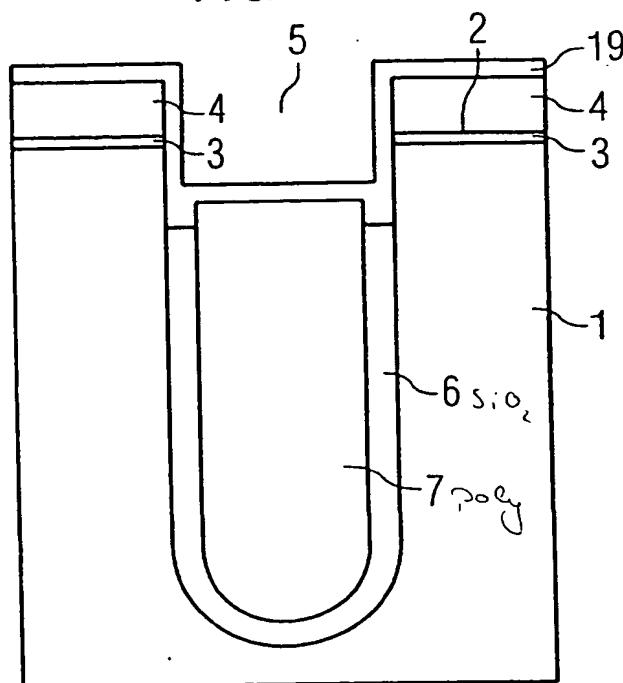


FIG 4B

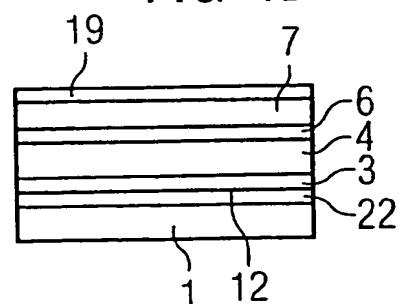


FIG 5A

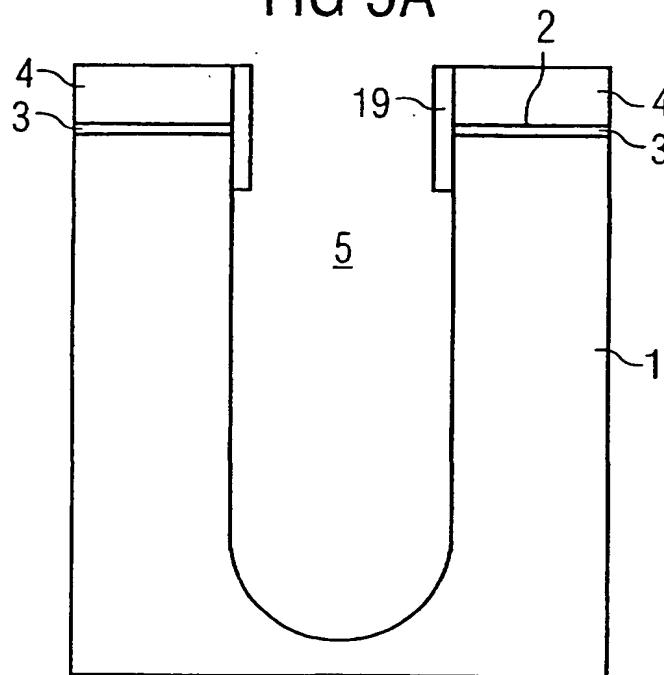


FIG 5B

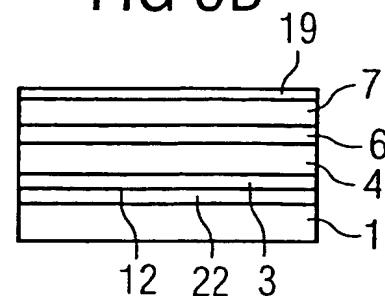


FIG 6A

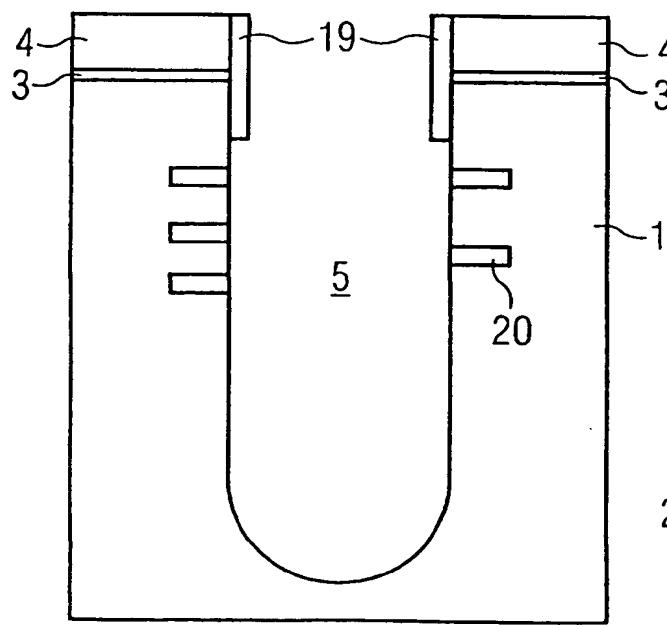


FIG 6B

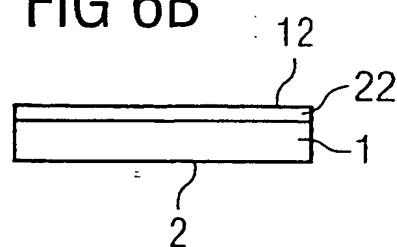


FIG 6C

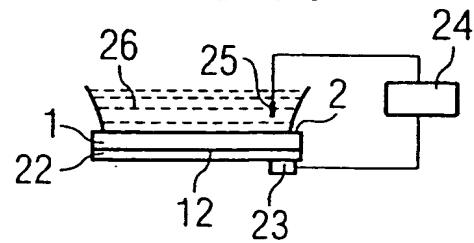


FIG 7A

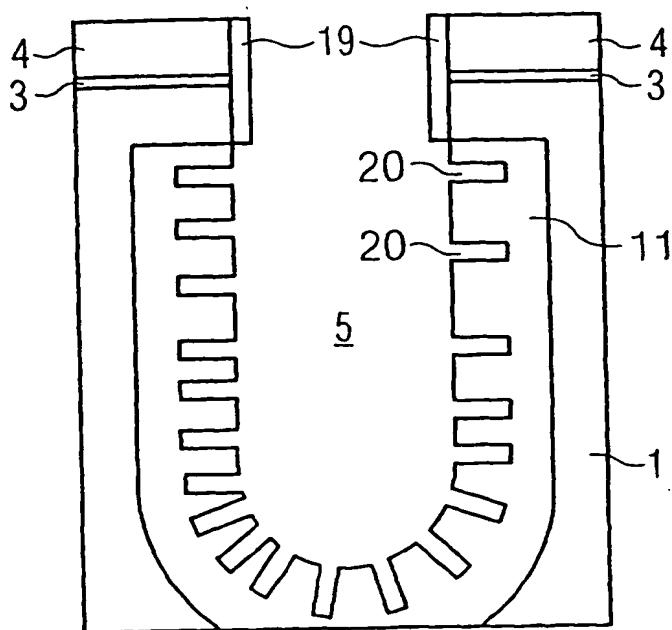


FIG 7B

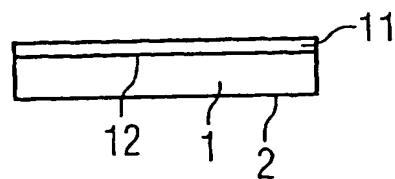


FIG 8A

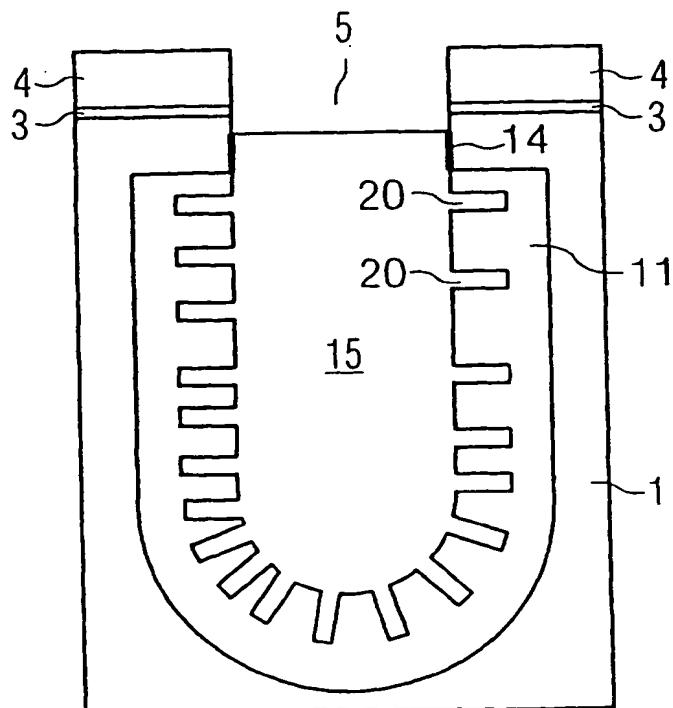


FIG 8B

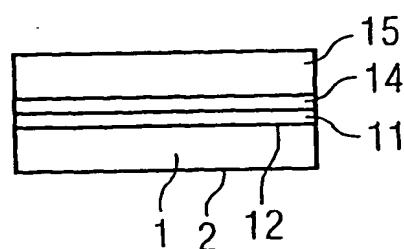
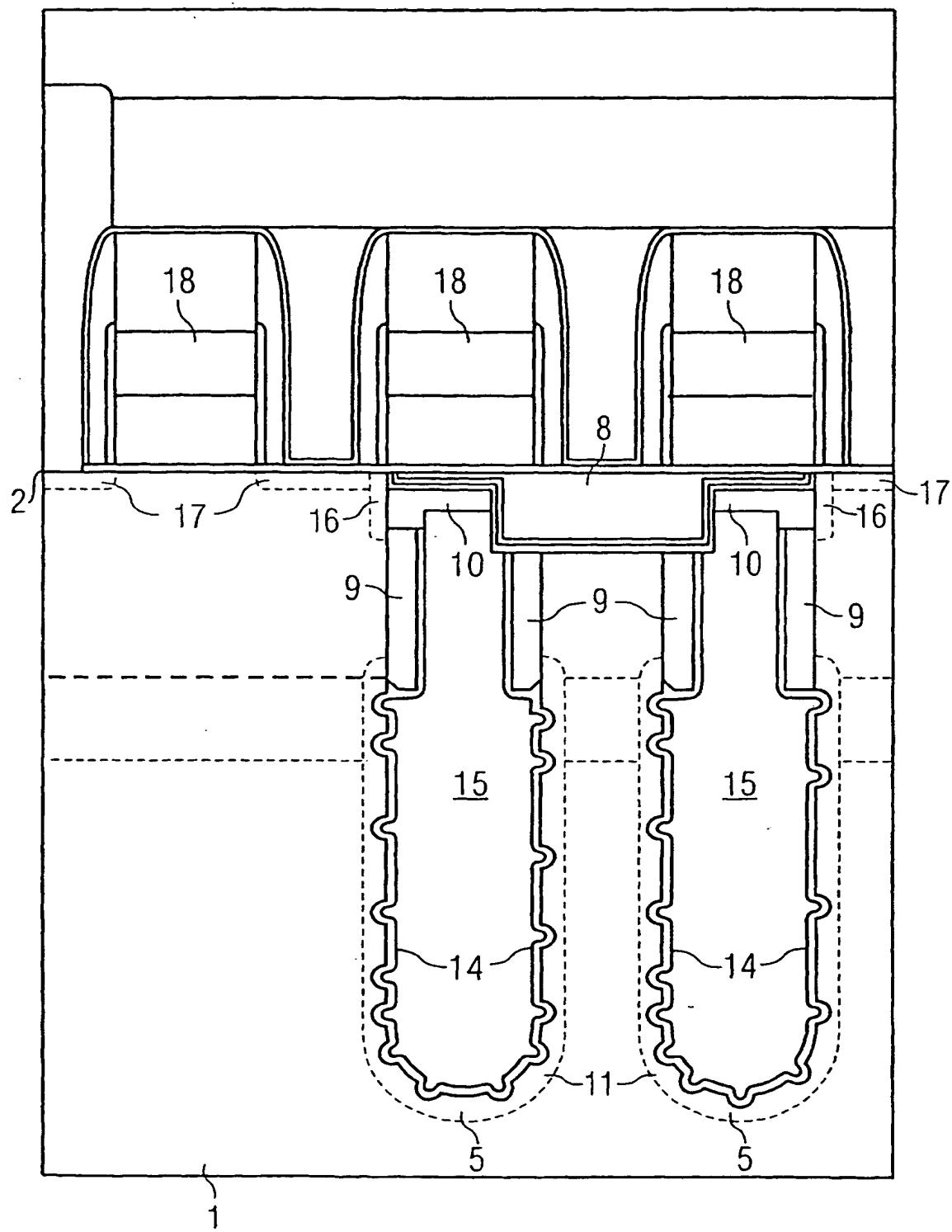


FIG 9



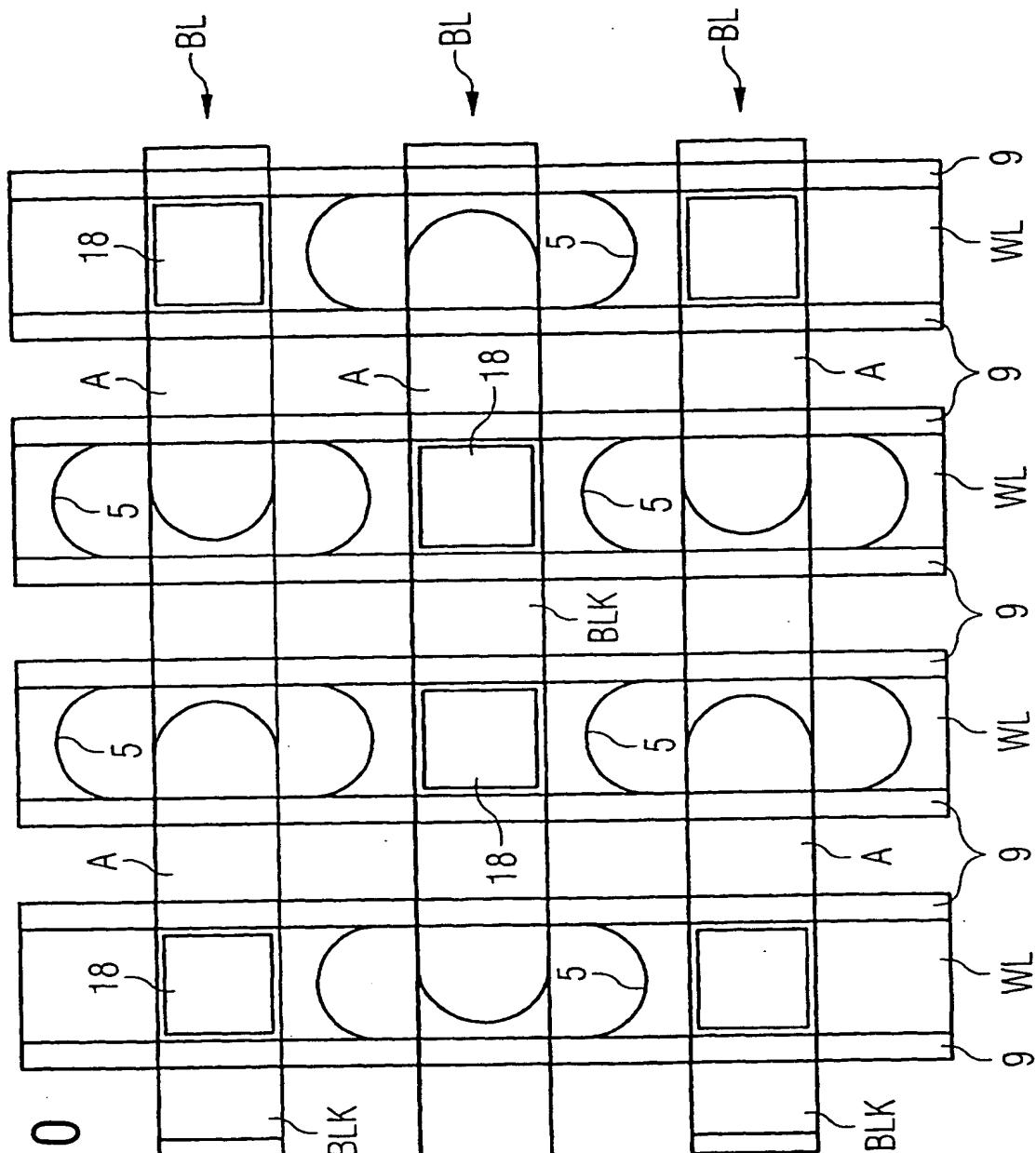


FIG 11

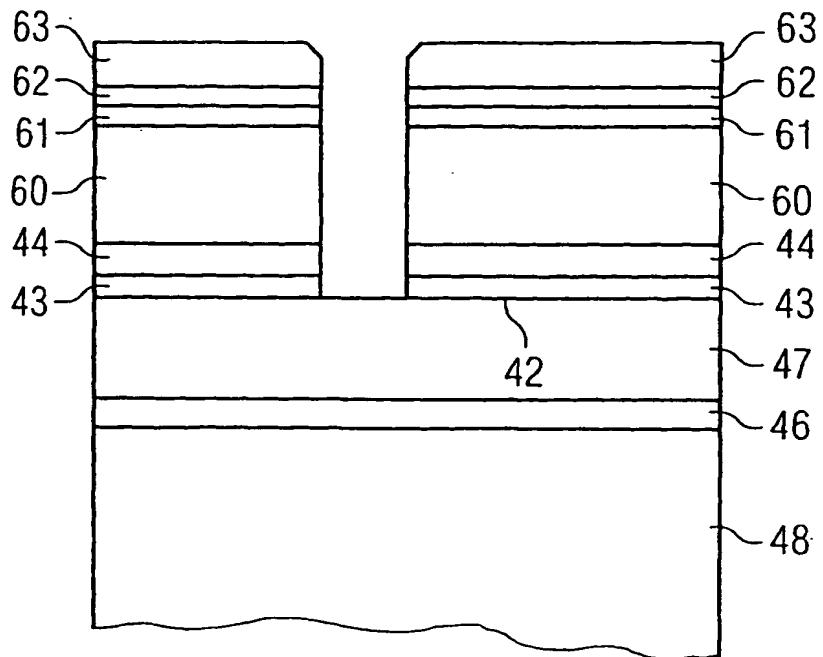


FIG 12

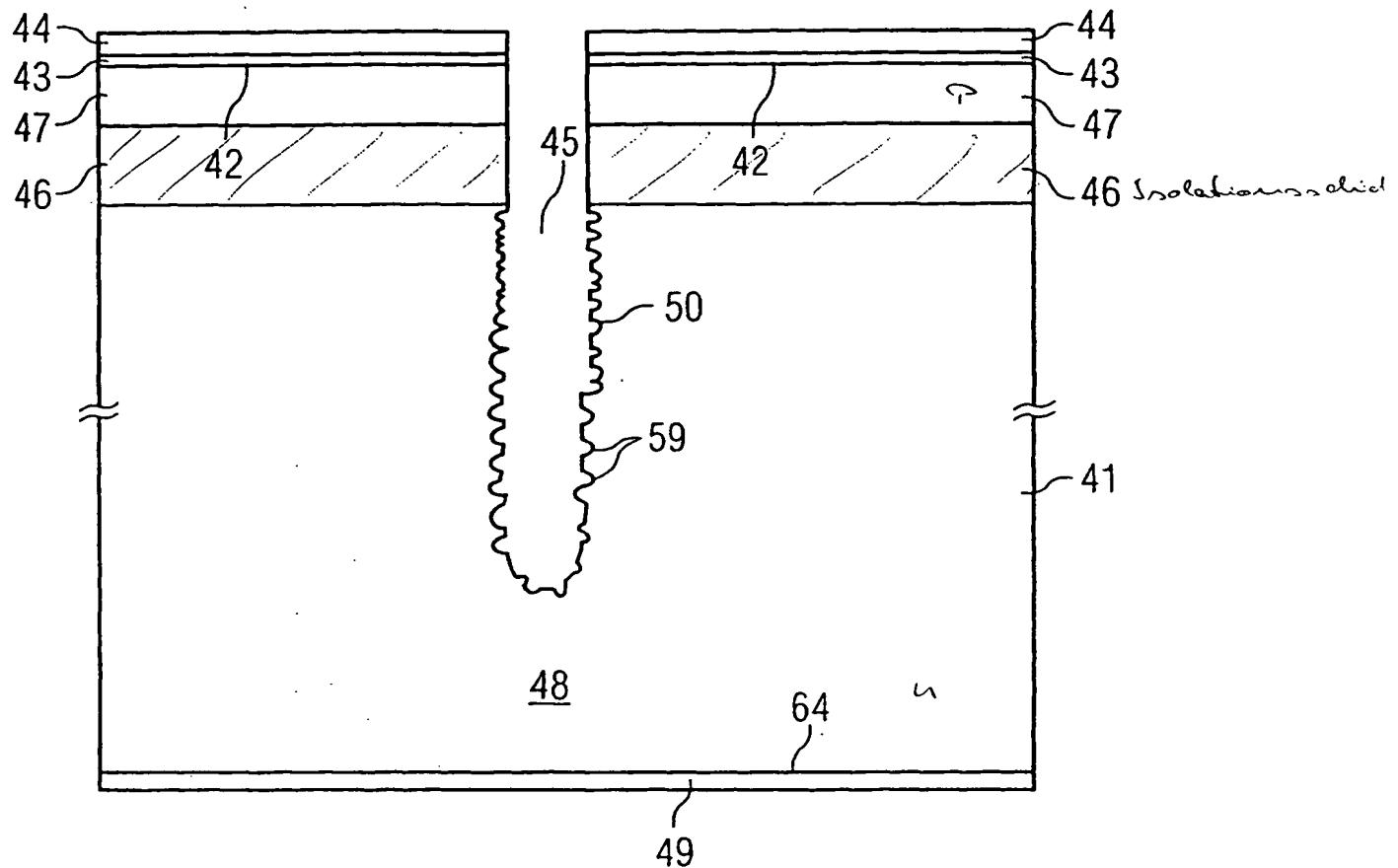
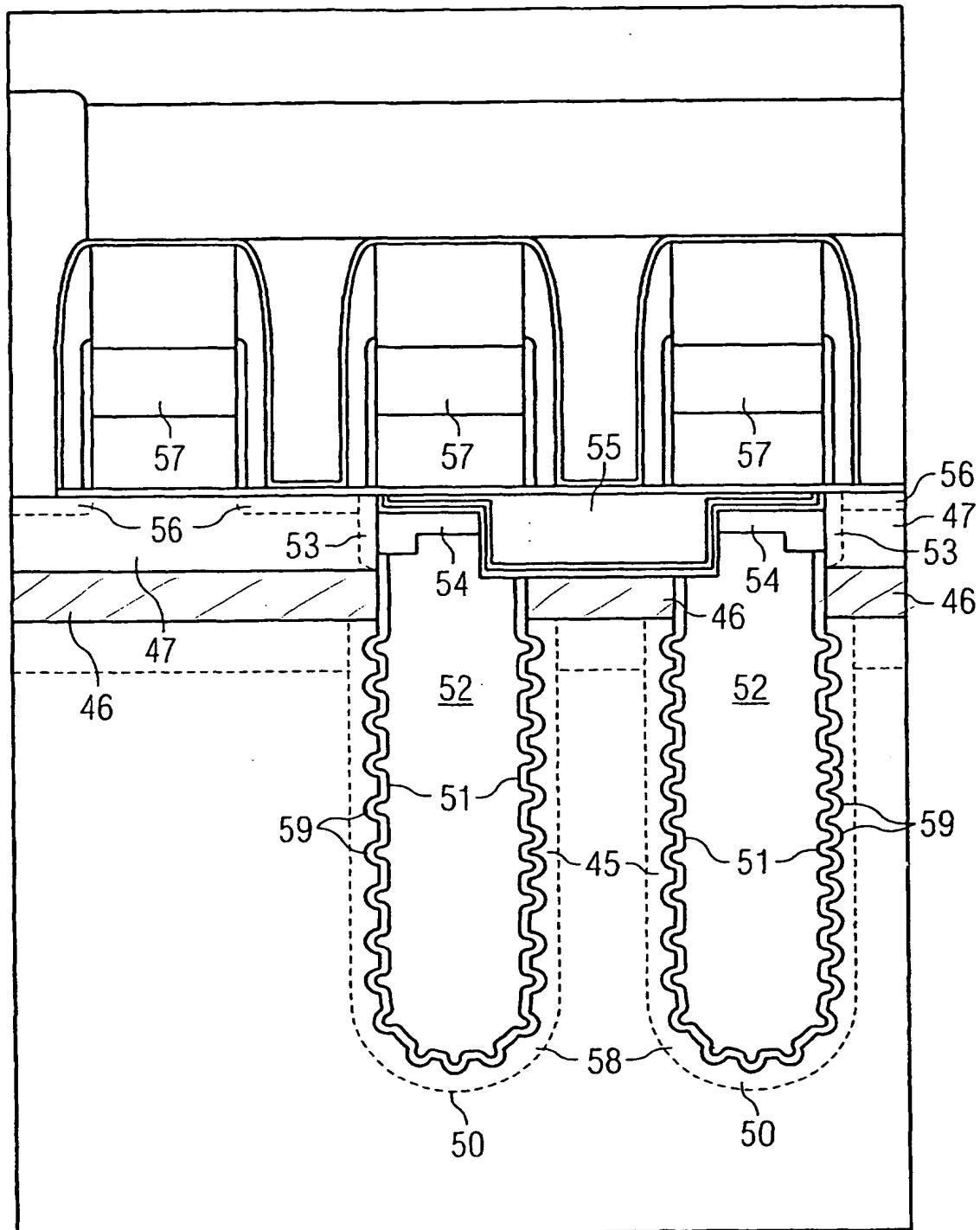


FIG 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.